

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

OH-672A

Prior Art 3

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000243900 A**

(43) Date of publication of application: **08.09.00**

(51) Int. Cl

H01L 25/065
H01L 25/07
H01L 25/18

(21) Application number: **11045215**

(22) Date of filing: **23.02.99**

(71) Applicant: **ROHM CO LTD**

(72) Inventor: **HIKITA JUNICHI**
SHIBATA KAZUTAKA
UEDA SHIGEYUKI

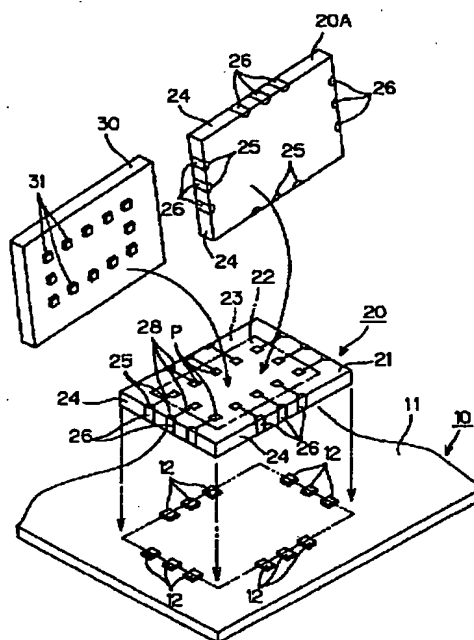
(54) **SEMICONDUCTOR CHIP, SEMICONDUCTOR
DEVICE USING IT, AND MANUFACTURE OF
SEMICONDUCTOR CHIP**

(57) Abstract:

PROBLEM TO BE SOLVED: To improve an integration degree by utilizing a scribe line region so that, with no wire bonding, a semiconductor chip is joined to a printed wiring board.

SOLUTION: A semiconductor chip 20 is joined face up to a surface 11 of a printed wiring board 10. A groove 25 is formed on a sidewall surface 24 of the semiconductor chip 20. In the groove 25 a conductive paste 26 is provided, and the paste 26 is connected to a connection pad P in a functional region 22 through a surface wiring 28. A solder bump 12 on the surface of the printed wiring board 10 and the connection pad P are electrically connected together through the conductive paste 26 and surface wiring 28.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-243900
(P2000-243900A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 25/065
25/07
25/18

H 0 1 L 25/08

B

審査請求 未請求 請求項の数 9 O L (全 8 頁)

(21) 出願番号

特願平11-45215

(22) 出願日

平成11年2月23日 (1999.2.23)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 正田 純一

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 柴田 和孝

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 上田 茂幸

京都市右京区西院溝崎町21番地 ローム株式会社内

(74) 代理人 100087701

弁理士 稲岡 耕作 (外2名)

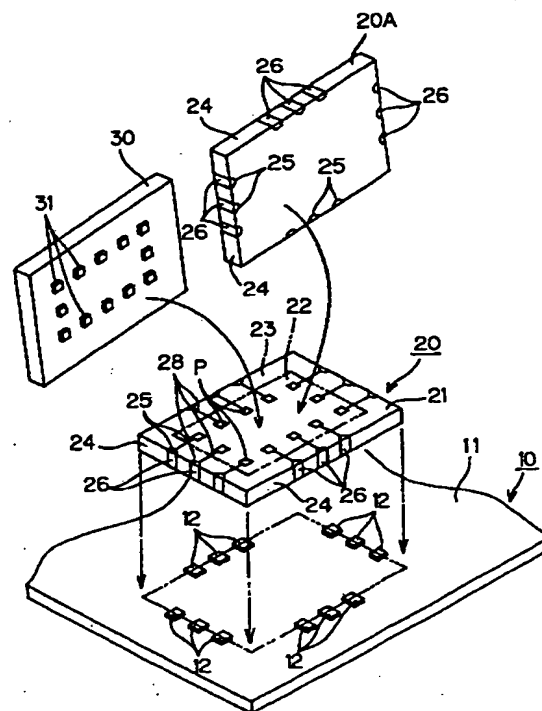
(54) 【発明の名称】 半導体チップおよびそれを用いた半導体装置、ならびに半導体チップの製造方法

(57) 【要約】

【課題】 集積度の向上を可能とした半導体チップおよびそれを用いた半導体装置を提供する。

【解決手段】 プリント配線基板10の表面11に、半導体チップ20がフェースアップ方式で接合される。半導体チップ20の側壁面24には、溝25が形成されている。溝25内には、導電ペースト26が配置されており、この導電ペースト26は、表面配線28を介して、機能領域22内の接続パッドPに接続されている。プリント配線基板10の表面の半田バンプ12と、接続パッドPとは、導電ペースト26および表面配線28を介して電気接続される。

【効果】 スクライブライン領域23を利用することにより、ワイヤボンディングを行うことなく、プリント配線基板10への半導体チップ20の接合が達成されている。



【特許請求の範囲】

【請求項1】機能素子が形成された機能領域の周辺のスクライプライン領域に、表裏面を貫く貫通部が形成されており、この貫通部に導電部材が配置されていることを特徴とする半導体チップ。

【請求項2】上記貫通部は、上記半導体チップの側壁面において側方に開放して形成された溝であることを特徴とする請求項1記載の半導体チップ。

【請求項3】上記貫通部は、上記半導体チップの側方に対して閉塞された貫通孔であることを特徴とする請求項1記載の半導体チップ。

【請求項4】上記機能領域に形成された内部回路と上記導電部材とを電気接続する配線をさらに含むことを特徴とする半導体チップ。

【請求項5】請求項1ないし4のいずれかに記載の半導体チップと、この半導体チップの上記機能素子が形成された活性表層領域側とは反対側の面である裏面側において上記導電部材に接合される接続部を有する固体装置とを含むことを特徴とする半導体装置。

【請求項6】半導体基板をスクライプラインで切断することにより半導体チップを製造する方法であって、半導体基板の上記スクライプラインの近傍の領域であるスクライプライン領域内に、この半導体基板の表裏面を貫通する貫通孔を形成する工程と、上記貫通孔内に導電部材を配置する工程とを含むことを特徴とする半導体チップの製造方法。

【請求項7】上記貫通孔を上記スクライプライン上に形成することを特徴とする請求項6記載の半導体チップの製造方法。

【請求項8】上記貫通孔を上記スクライプラインを避けた位置に形成することを特徴とする請求項6記載の半導体チップの製造方法。

【請求項9】上記貫通孔を形成する工程は、上記貫通孔の形成位置に対応した開口を有するレジスト膜を上記半導体基板表面に形成する工程と、上記レジスト膜をマスクとして、半導体基板をエッチングする工程とを含み、上記貫通孔内に導電部材を配置する工程は、上記レジスト膜をマスクとして、上記貫通孔内に上記導電部材を配置する工程を含むことを特徴とする請求項6ないし8のいずれかに記載の半導体チップの製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は、固体装置に電気接続される半導体チップおよびそれを用いた半導体装置、ならびに半導体チップの製造方法に関する。

【0002】

【従来の技術】プリント配線基板上にフリップチップボンディングで半導体チップを実装する場合や、半導体チ

ップ上に別の半導体チップを重ねて接合することによりチップ・オン・チップ構造の半導体装置を構成する場合の実装方式には、フェースダウン方式とフェースアップ方式とがある。フェースダウン方式は、半導体チップの表面をプリント配線基板または別の半導体チップの表面に対向させる実装方式である。これに対して、フェースアップ方式は、半導体チップの裏面をプリント配線基板または別の半導体チップの表面に対向させる実装方式である。半導体チップの表面とは、その基体をなす半導体基板において機能素子が形成される活性表層領域側の表面であり、その反対側の面が裏面である。

【0003】フェースダウン方式をとる場合には、半導体チップの表面には、バンプと呼ばれる金属電極部が隆起して形成される。このバンプが、プリント配線基板や別の半導体チップの表面に形成された接続パッドと接合される。フェースアップ方式をとる場合には、半導体チップの表面の接続パッドと、プリント配線基板または別の半導体チップの表面の接続パッドとを、ワイヤボンディングにより接続することになる。

【0004】

【発明が解決しようとする課題】フェースダウン方式をとる場合、半導体チップの表面が土台側のプリント配線基板または別の半導体チップに対向することになるため、その上にさらに別の半導体チップを接合して3段以上の積層構造をとることができない。そのために、集積度の向上には限界がある。

【0005】また、フェースアップ方式をとる場合には、ワイヤボンディングの都合上、プリント配線基板や土台側の半導体チップにおいて、これらの上に重ねて接合される半導体チップからはみ出した領域に接続パッドを設けなければならない。そのために、全体の専有面積が大きくなり、集積度の向上の妨げとなる。そこで、この発明の目的は、上述の技術的課題を解決し、集積度の向上を可能とした半導体チップおよびそれを用いた半導体装置を提供することである。

【0006】また、この発明の他の目的は、集積度の向上を図ることが可能な半導体チップの製造方法を提供することである。

【0007】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、機能素子が形成された機能領域の周辺のスクライプライン領域に、表裏面を貫く貫通部が形成されており、この貫通部に導電部材が配置されていることを特徴とする半導体チップである。

【0008】機能領域とは、トランジスタ、抵抗またはコンデンサなどの機能素子およびこれらに付随する内部配線などが形成された領域である。これに対して、スクライプライン領域とは、大きな半導体基板（ウエハ）から個々のチップをダイシングする際の切断ラインである

スクライプラインの近傍の領域を言う。上記の構成によれば、スクライプライン領域に貫通部が形成され、この貫通部に導電部材が配置される。したがって、スクライプライン領域を利用することにより、半導体チップを大型化することなく、半導体チップの表面側に設けられた端子部の接続端を、半導体チップの裏面側へと引き出すことができる。

【0009】そのため、この半導体チップをフェースダウン方式で別の固体装置（たとえば、プリント配線基板や別の半導体チップ）に接合した場合でも、この半導体チップの裏面側に別の半導体チップを重ねて接合することができる。これにより、半導体チップを用いた半導体装置の集積度を高めることができる。また、この半導体チップをフェースアップ方式で別の固体装置に接合する場合には、この半導体チップの裏面側において、貫通部に配置された導電部材を当該固体装置の接続部（パンプや接続パッド）に接続することにより、この半導体チップと当該固体装置との電氣的接続を達成できる。したがって、ワイヤボンディングによる接続の場合のように、土台となる固体装置が大きな面積を有している必要がない。これにより、半導体チップを用いた半導体装置の集積度を向上できる。

【0010】なお、導電部材は、導電ペーストであってもよいし、貫通部の内壁面に形成されためっき層などの金属層であってもよい。上記貫通部は、請求項2に記載のように、上記半導体チップの側壁面において側方に開放して形成された溝であってもよい。また、上記貫通部は、請求項3記載のように、上記半導体チップの側方に対して閉塞された貫通孔であってもよい。

【0011】さらに、請求項4に記載のように、上記機能領域に形成された内部回路と上記導電部材とを配線で電気接続しておくことにより、内部回路に対する電気接続を、半導体チップの裏面側において行うことが可能となる。請求項5記載の発明は、請求項1ないし4のいずれかに記載の半導体チップと、この半導体チップの上記機能素子が形成された活性表層領域側とは反対側の面である裏面側において上記導電部材に接合される接続部を有する固体装置とを含むことを特徴とする半導体装置である。

【0012】この構成により、半導体チップと別の固体装置（プリント配線基板や別の半導体チップなど）とを積層した構造の半導体装置において、請求項1ないし4の発明に関連して説明した効果を達成できる。請求項6記載の発明は、半導体基板をスクライプラインで切断することにより半導体チップを製造する方法であって、半導体基板の上記スクライプラインの近傍の領域であるスクライプライン領域内に、この半導体基板の表裏面を貫通する貫通孔を形成する工程と、上記貫通孔内に導電部材を配置する工程とを含むことを特徴とする半導体チップの製造方法である。

【0013】この方法により、請求項1記載の半導体チップを、比較的容易な工程で作製することができる。なお、貫通孔を形成する工程は、たとえば、半導体基板の表面側から半導体基板の全板厚を貫通するには至らない深さの凹部を形成する工程と、半導体基板の裏面側から半導体基板を研削して、上記孔を半導体基板の裏面側の空間と連通させる工程とを含んでいてもよい。このようにすれば、半導体基板を開孔する工程（たとえば、エッチング工程）を短縮できる。

【0014】請求項7記載の発明は、上記貫通孔を上記スクライプライン上に形成することを特徴とする請求項6記載の半導体チップの製造方法である。この方法により、請求項2記載の半導体チップを、比較的容易な工程で作製することができる。請求項8記載の発明は、上記貫通孔を上記スクライプラインを避けた位置に形成することを特徴とする請求項6記載の半導体チップの製造方法である。

【0015】この方法により、請求項3記載の半導体チップを、比較的容易な工程で作製することができる。請求項7の発明と請求項8の発明とを比較すると、請求項7の発明の方が、形成すべき貫通孔の数を少なくすることができるので、工程の所要時間を短縮する観点からは、より好ましいと言える。

【0016】請求項9記載の発明は、上記貫通孔を形成する工程は、上記貫通孔の形成位置に対応した開口を有するレジスト膜を上記半導体基板表面に形成する工程と、上記レジスト膜をマスクとして、半導体基板をエッチングする工程とを含み、上記貫通孔内に導電部材を配置する工程は、上記レジスト膜をマスクとして、上記貫通孔内に上記導電部材を配置する工程を含むことを特徴とする請求項6ないし8のいずれかに記載の半導体チップの製造方法である。

【0017】この方法では、半導体基板に貫通孔を形成するためのレジスト膜を、貫通孔内への導電部材の配置にも利用できる。これにより、半導体チップの製造工程を簡素化することができる。なお、導電部材の貫通孔への配置は、貫通孔の内壁面に選択的に金属をめっきすることにより行われてもよい。

【0018】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の構成を示す分解斜視図である。この半導体装置は、プリント配線基板10と、このプリント配線基板10にフリップチップボンディングによって電気接続される半導体チップ20とを有している。半導体チップ20は、この実施形態においては、表面21をプリント配線基板10の表面11とは反対側に向けて、いわゆるフェースアップ方式でプリント配線基板10に接合される。

【0019】半導体チップ20の表面21は、トランジ

スタや抵抗器などの機能素子が形成された活性表層領域側の表面である。この表面21において、機能素子が形成された中央付近の領域である機能領域22内には、適当な位置において、内部回路に接続された接続パッドPが露出している。機能領域22外の領域は、半導体ウエハから個々の半導体チップ20を切り出すときのスクライブラインの近傍のスクライブライン領域23である。このスクライブライン領域23には、半導体チップ20の表裏面を貫通する貫通部をなす溝25が複数個形成されている。この溝25は、半導体チップ20の側壁面24において、側方に開放している。溝25内には、クリーム半田や銀ペーストなどの導電ペースト26が配置されている。

【0020】半導体チップ20の表面21には、各溝25内の導電ペースト26と、接続パッドPとを接続するための表面配線28が形成されている。この表面配線28は、耐酸化性の金属、たとえば、金、パラジウム、チタン、銀、イリジウム等により形成されることが好ましい。一方、プリント配線基板10の表面11には、半導体チップ20の側壁面24に対応する位置に、複数の半田バンプ12（接続部）が形成されている。したがって、半導体チップ20を、複数の溝25と複数の半田バンプ12との位置を整合させた状態でプリント配線基板10上に、たとえば接着剤によって固定し、その後、半導体チップ20とプリント配線基板10との組立体に対してリフロー処理を施せば、導電ペースト26と、半田バンプ12とが融着する。これにより、半導体チップ20とプリント配線基板10との電気的および機械的接続が達成される。

【0021】このようにして、ボンディングワイヤを用いることなく、フェースアップ方式での接続を行うことができる。したがって、プリント配線基板10は、大きな面積を有している必要がないので、半導体装置の小型化を達成できる。しかも、スクライブライン領域23において、プリント配線基板10との接続を達成する構成であるので、半導体チップ20が従来品と比較して大きくなることもない。よって、結果として、半導体装置の集積度を向上することができる。

【0022】一方、プリント配線基板10上の半導体チップ20は、表面21が上方（プリント配線基板10とは反対の方向）に向けられているので、この表面21には、通常の構成の半導体チップ30を実装することができる。また、半導体チップ20と同様の構成の半導体チップ20Aを実装することもできる。通常の構成の半導体チップ30は、半導体チップ20の表面21に形成された接続パッドPに対応した位置に、バンプ31を有している。そして、このバンプ31を接続パッドPに圧接することにより、半導体チップ30を、いわゆるフェースダウン方式で半導体チップ20の表面21に重ねて接合することができる。

【0023】半導体チップ20上に、これと同様の構成の半導体チップ20Aを接合する場合には、各半導体チップ20、20Aの側壁面24の溝25に配置された導電ペースト26同士をリフロー処理によって融着させれば、半導体チップ20、20Aの相互間の電気的および機械的接続を達成できる。なお、溝25に導電ペースト26を配置する代わりに、溝25の内壁面に金属をめっきしておいてもよい。この場合に使用される金属は、耐酸化性の金属、たとえば、金、パラジウム、チタン、銀、イリジウム等であることが好ましい。溝25の内壁面にめっきされる金属材料は、表面配線28と同じ材料で構成されていてもよく、このようにすれば、溝25の内壁面への導電部材の配置と、表面配線28の形成とを同一工程で行うことができ、半導体チップ20の製造工程を簡単にすることができる。

【0024】図2は、半導体チップ20と同様の構成の半導体チップ201、202、203、204を多段に積層してマルチチップ型半導体装置を構成した例を示している。すなわち、半導体チップ201は、半導体チップ202の表面にフェースアップ方式で接合されており、半導体チップ202は、半導体チップ203の表面にフェースアップ方式で接合されており、半導体チップ203は、半導体チップ204の表面にフェースアップ方式で接合されている。同様に、所望の段数の半導体チップの積層が可能である。そして、各半導体チップ201～204の相互間の接続は、側壁面24に形成された導電ペースト26によって達成されている。なお、図2において、半導体チップ201の各部には、図1に示された半導体チップ20の対応部分と同一の符号を付してある。

【0025】複数の半導体チップを積層する場合に、最上段の半導体チップについては、図1に示された通常の半導体チップ30を用い、この半導体チップ30をフェースダウン方式でその直下段の半導体チップの表面に接合してもよい。図3および図4は、半導体チップ20の製造工程を説明するための図である。半導体チップ20は、半導体ウエハWをスクライブラインSLに沿ってダイシングすることにより切り出されて作成される。このダイシングに先だって、機能領域22において、機能素子や内部配線などが形成される。この後、図4に示すように、スクライブラインSL上に、ウエハWの表裏面を貫通する貫通孔Hが形成される。

【0026】貫通孔Hの形成は、図5(a)に示すように、アルミ配線などの内部配線41（接続パッドP）に接続され、表面保護膜40上をスクライブライン領域23に延びる表面配線28が形成された状態の半導体ウエハWに対して行われる。表面配線28は、貫通孔Hの形成位置にまで延びて形成されている。この半導体ウエハWに、貫通孔Hに対応した開口50aを有するレジスト膜50をパターン形成し、このレジスト膜50をマスク

として、表面配線28および半導体ウエハWをエッチングすることによって貫通孔Hが形成される。

【0027】その後、図5(b)に示すように、貫通孔H内に、表面配線28に接続されるように導電ペースト26を埋め込んで、レジスト膜50を剥離する。次いで、ダイシングソー55により、スクライブラインSLに沿って半導体ウエハWを切断することにより、図5(c)に示すように、側壁面に溝25を有する半導体チップ20が得られる。

【0028】導電ペースト26を用いる代わりに、溝25の内壁面に金属をめっきする場合には、貫通孔Hが開口された状態から、さらに、レジスト膜50をマスクとして用い、無電解めっきによって、貫通孔Hの内壁面にめっき層を形成することが好ましい。これにより、製造工程を簡単にすることができる。なお、貫通孔Hの形成は、半導体ウエハWの全板厚にわたって一気にエッチングを行うことにより形成されてもよいが、図6に示すように、半導体ウエハWの厚みの途中の深さまでエッチングして凹部Haを形成し(図6(a))、その後、半導体ウエハWの裏面を研削することによって、凹部Haを半導体ウエハWの裏面側に貫通させるようにして形成することもできる(図6(b))。

【0029】図7は、この発明の第2の実施形態に係る半導体チップの構成を示す斜視図である。この第2の実施形態に係る半導体チップ60は、上述の第1の実施形態に係る半導体チップと類似の構成を有しているので、上述の図1に示された各部に対応する部分には同一の参照符号を付して示す。また、上述の図1を再び参照することにする。

【0030】この半導体チップ60には、スクライブライン領域23において、スクライブラインSLよりも内方(機能領域寄り)において、複数の貫通孔65が形成されており、この貫通孔65内に導電ペースト26が、埋め込まれている。そして、この導電ペースト26と、接続パッドPとが、表面配線28によって接続されている。

【0031】このような構成の半導体チップ60は、上述の第1の実施形態の半導体チップ20の場合と同じく、プリント配線基板10の表面11にフェースアップ方式で実装することができる。この場合に、貫通孔65とプリント配線基板10の表面11の半田バンプ12との位置を整合させておけば、接続パッドPと半田バンプ12との間を、貫通孔65内の導電ペースト26を介して電気接続することができる。

【0032】また、半導体チップ60と同様な構成を有する複数の半導体チップを、図2に示す場合と同様に、多段に積層することも可能である。さらに、半導体チップ60の表面61に、通常の構成の半導体チップ30

(図1参照)をフェースダウン方式で接合することでもできる。図8は、上記の半導体チップ60の製造方法を説

明するための斜視図であり、半導体ウエハWから半導体チップ60が切り出される前の状態が示されている。すなわち、スクライブラインSLの両側に、このスクライブラインSLに沿って複数の貫通孔65が形成されており、この貫通孔65内に導電ペーストが配置されている。この状態で、スクライブラインSLに沿って半導体ウエハWをダイシングすることにより、半導体チップ60が得られる。

【0033】なお、貫通孔65の形成は、上述の第1の実施形態の場合の貫通孔Hの形成と同様に行うことができる。また、貫通孔65には、導電ペースト26を配置する代わりに、上述の第1の実施形態の場合と同様に、その内壁面に金属めっき層を形成するようにしてもよい。以上、この発明の2つの実施形態について説明したが、この発明は、他の形態でも実施することが可能である。たとえば、上述の第1および第2の実施形態においては、半導体チップ20、60がフェースアップ方式でプリント配線基板10や他の半導体チップ上に接合される場合について説明したが、フェースダウン方式での接合が可能であることは直ちに理解されるであろう。フェースダウン方式による接合を行う場合には、接続パッドP上にバンプを形成し、このバンプをその下方の固体装置(プリント配線基板または半導体チップ)の表面の接続パッドに圧接させて接合するようにしてもよい。もちろん、フェースアップ方式での接合の場合と同じく、溝25または貫通孔65に配置された導電ペースト26を、プリント配線基板10または他の半導体チップとの接続のために利用することも可能である。

【0034】フェースダウン方式による接合の場合にも、半導体チップ20、60の裏面側において、溝25または貫通孔65内の導電ペースト26を用いることにより、さらに、別の半導体チップ積層して接続することができる。なお、半導体チップを構成する半導体材料には、シリコン半導体、ゲルマニウム半導体または化合物半導体(ガリウム砒素半導体など)を含む任意の半導体材料を適用することができる。

【0035】その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の構成を示す分解斜視図である。

【図2】複数の半導体チップを多段に積層してマルチチップ型半導体装置を構成した例を示している。

【図3】半導体ウエハのスクライブラインを示す平面図である。

【図4】半導体ウエハのスクライブライン付近の構成を示す部分拡大斜視図である。

【図5】半導体チップの側壁面の溝を形成するための構成を示す断面図である。

【図6】半導体ウエハに貫通孔を形成するための方法例

を示す断面図である。

【図7】この発明の第2の実施形態に係る半導体チップの構成を示す斜視図である。

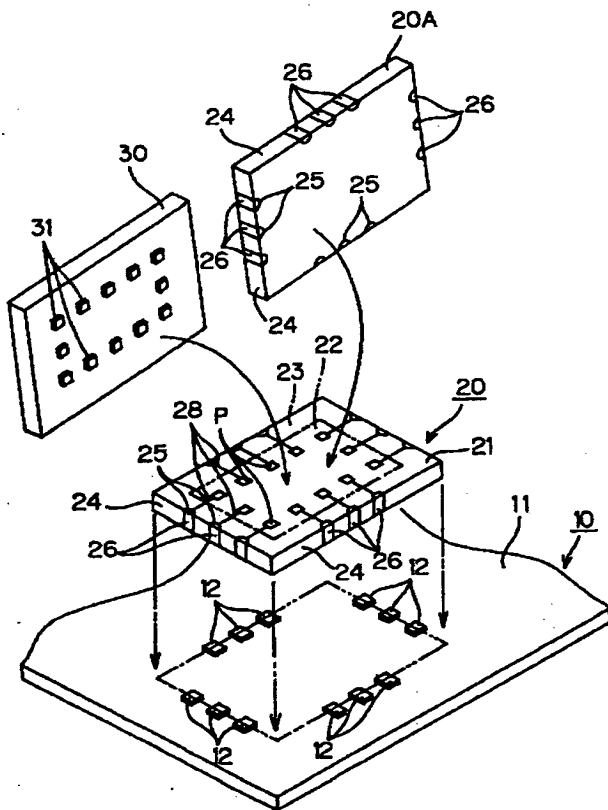
【図8】上記第2の実施形態の半導体チップを形成する場合における半導体ウエハのスクライブライン付近の構成を示す部分拡大斜視図である。

【符号の説明】

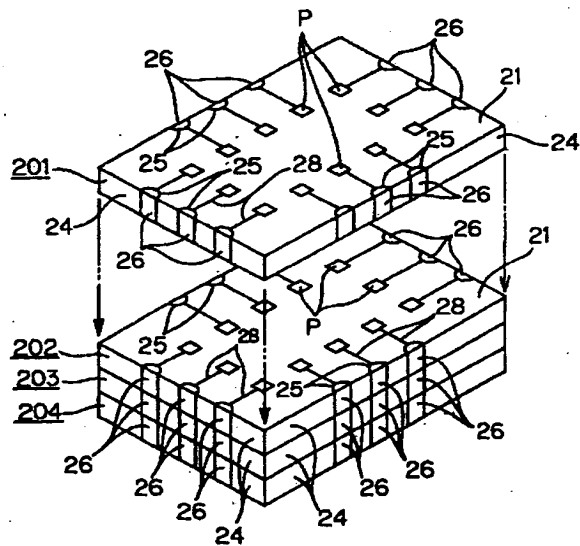
- 10 プリント配線基板
- 12 半田バンプ
- 20 半導体チップ
- 22 機能領域
- 23 スクライブライン領域
- 24 側壁面

- 25 溝
- 26 導電ペースト
- 28 表面配線
- 50 レジスト膜
- 60 半導体チップ
- 65 貫通孔
- 201～204 半導体チップ
- H a 凹部
- H 貫通孔
- P 接続パッド
- SL スクライブライン
- W 半導体ウエハ

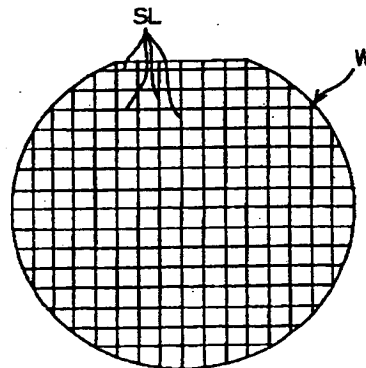
【図1】



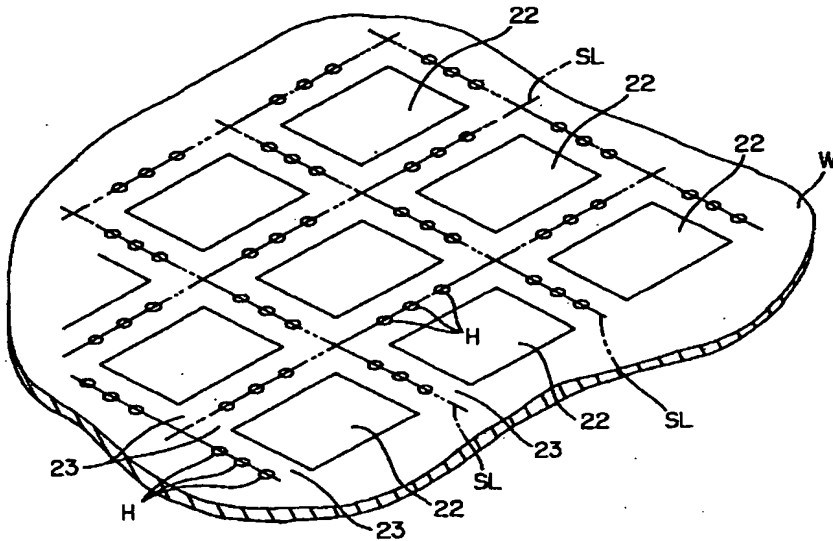
【図2】



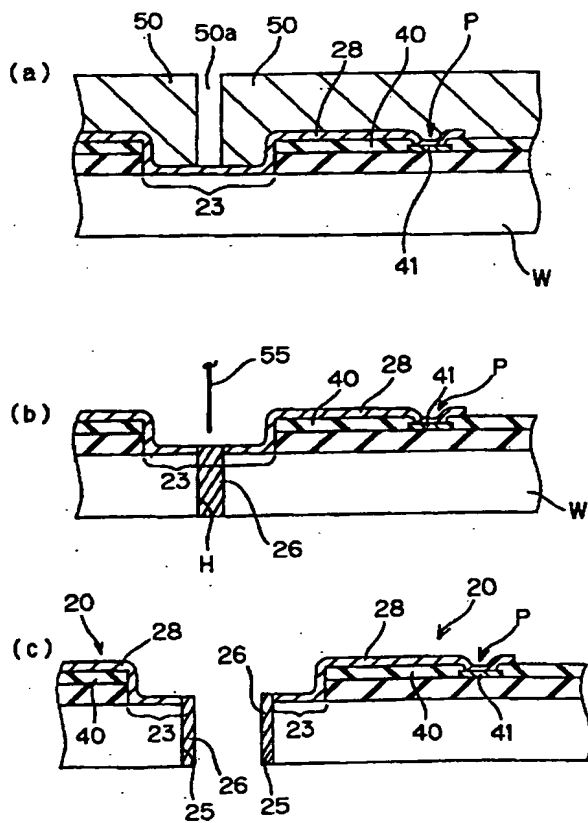
【図3】



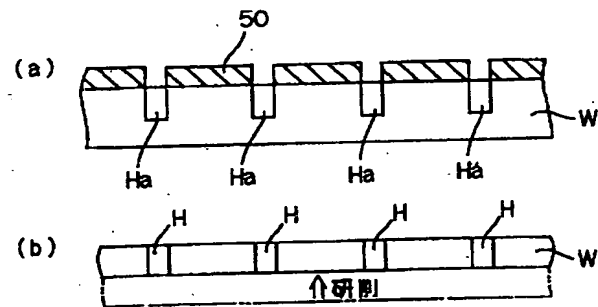
【図4】



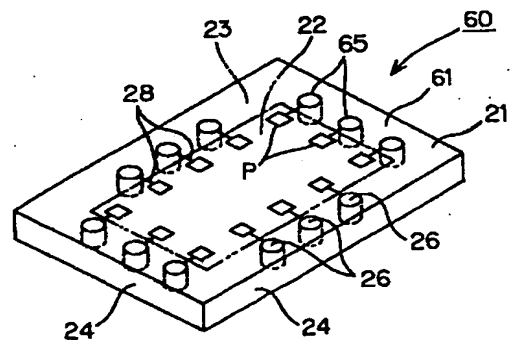
【図5】



【図6】



【図7】



【図8】

